

一种并行的 PCS 子层帧同步检测模块设计与实现

邢宗岐, 贺占庄, 徐丹妮, 哈云雪
(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 为了满足 10 Gbps 传输速率下 PCS 子层帧同步需求, 深入研究 10 G 以太网 PCS 子层帧同步原理及常用帧同步检测方式, 综合考虑面积开销和检测效率, 设计了一种并行的帧同步检测模块, 解决了帧同步检测中同步头跨数据块、标志位对齐等难题, 提高了帧同步效率, 能够满足 10 Gbps 速率 PCS 子层帧同步要求. 采用 ModelSim 对设计的帧同步检测模块进行仿真实验, 结果表明, 该模块能够高效的实现 10 Gbps 速率 PCS 子层帧同步检测功能, 帧同步速度明显提升, 具有较强的适应性、健壮性和稳定性.

关键词: 10G 以太网; PCS; 帧同步; 并行

中图分类号: TP31

文献标识码: A

文章编号: 1000—7180(2018)11—0038—05

Design and Implementation of a Parallel PCS Sublayer Frame Synchronization Detection Module

XING Zong-qi, HE Zhan-zhuang, XU Dan-ni, HA Yun-xue

(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: In order to meet the needs of PCS sublayer frame synchronization at 10 Gbps transmission rate, depth studying of 10 G Ethernet PCS sublayer frame synchronization principle and common frame synchronization detection method, considering the chip area and detection efficiency, a parallel frame synchronization detection module is designed, which solves the problems of the synchronous header cross data blocks and the alignment of bits in the frame synchronization detection, improves the frame synchronization efficiency, and can meet the requirements of the 10 Gbps frame synchronization of the PCS sublayer. ModelSim is used to verify the design of the frame synchronization detection module, the results show that the module can effectively achieve the 10 Gbps PCS sublayer frame synchronization detection function, the frame synchronization speed is markedly improved, with strong adaptability, robustness and stability.

Key words: 10 gigabit ethernet; PCS; frame synchronization; parallel

1 引言

10 G 以太网具有带宽大、成本低和结构简单等特点, 在未来航空航天和工业控制等领域具有广泛的应用前景^[1]. 帧同步检测是 10 G 以太网高速数据传输过程中一个至关重要的环节, 主要完成接收数据流中同步头定位、提取和跟踪工作. 本文基于 10G BASE-R 以太网协议标准, 提出了一种并行的物理编码子层(PCS)帧同步检测实现方法, 综合考虑面积开销和检测效率, 解决同步头跨数据块、同步标志

位对齐等难题, 实现 10 Gbps 速率下的 PCS 子层帧同步检测工作.

2 帧同步检测原理概述

PCS 子层通过 XGMII 接口和 PMA 服务接口实现媒体访问控制子层(MAC)和物理介质连接子层(PMA)之间的高速数据通信^[2]. PCS 子层的功能如图 1 所示, PCS 子层包括发送通道和接收通道: 发送通道包括 64B/66B 编码、扰码器、变速箱以及测试向量生成; 接收通道包括帧同步检测、BER 监

测、块同步、解扰器、64B/66B 解码以及测试向量检测。

PCS 子层在发送通道中对 64 bit 数据进行编码并在低位添加 2 bit 同步头,其中数据经扰码器和变速箱传输至 PMA 服务接口,同步头则绕过扰码器经变速箱传输至 PMA 服务接口^[3]。添加的同步头有两种形式 01 和 10,其中 01 代表正常数据,10 代表控制数据。PMA 服务接口向上层传输的数据为 16 位并行数据,需对数据进行重新截取组合,确定 2 bit 同步头,经解扰器和 64B/66B 解码传输至 XGMII 接口。由图 1 可知,帧同步检测位于 PCS 子层的接收通道中,首先需要进行的就帧同步检测工作,锁定同步头,给出同步头在数据流中的具体位置,以便块同步进行数据的截取组合,同时继续对同步头位置进行跟踪监测,以保证数据传输的正确性。10GBASE-R 协议标准中同步头锁定条件是在相同的数据位置连续检测到 64 次同步头,彻底失去同步的条件是在同步头锁定的数据位置出现 16 次未检测到同步头的情况。

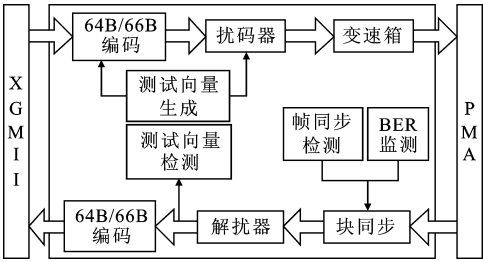


图 1 PCS 子层功能框图

目前的帧同步检测方法主要分为串行检测和全并行检测两种方式^[4]。如图 2 所示,串行检测系统主要由一个单比特串行移位比较器和一个状态机构成,拥有较小的电路面积开销,但对时钟频率要求很高,超过常见 FPGA 的时钟处理能力^[5],故串行检测方式不适合在 FPGA 实现,不具有通用性;如图 3 所示,全并行检测方法由多个并行比较器和多个并行状态机构成,全并行检测为每个比特单独配置一个同步状态机,可以精确跟踪每个比特的变化情况,具有相当高的帧检测效率,能够高效实现 10 Gbps 的帧同步检测,但是在大规模并行系统中,其电路面积开销十分巨大^[6-7]。

针对 10 Gbps 帧同步检测出现的问题,综合考虑其面积开销与检测效率,本文设计了一种新型的多异或门单状态机的并行帧同步检测模块。

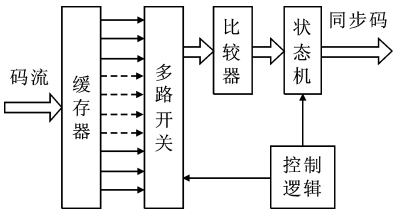


图 2 串行检测系统

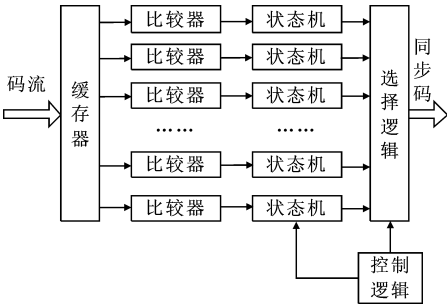


图 3 全并行检测系统

3 并行帧同步检测模块设计

根据帧同步检测需要实现的功能以及帧同步检测的原理,本设计将并行帧同步检测模块划分为同步检测单元、计数器单元、状态控制单元和输出处理单元四个单元模块,完成帧同步检测中同步锁定和同步跟踪工作,整体结构框图如图 4 所示。通过调用 GTX 高速收发器模块,实现 10 Gbps 高速数据输入到并行帧同步检测模块中,同时通过参数配置,将该并行帧同步检测模块的输入数据流配置为 32 位并行,输入时钟为 322.26 MHz。

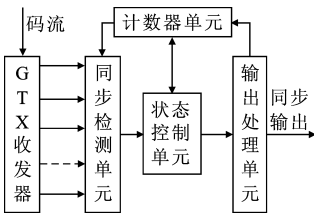


图 4 整体结构框图

3.1 同步检测单元

发送端数据格式是每 64 bit 数据添加 2 bit 同步头,因此,每 66 bit 数据便存在一个同步头。如图 5 所示,接收端的每个数据块是 32 bit,而同步头的位置存在三种情况:①在数据块 1 的中间,此时与之相邻的下一个同步头则会出现数据块 3 中,此时同步头的位置跳过了数据 2;②在数据块 1 的最后两位,此时与之相邻的下一个同步头则出现在数据块 4 中,此时同步头的位置跳过了数据块 2 和数据

块 3 两个数据块;③在数据块 1 的最低位和数据块 2 的最高位,同步头横跨了两个数据块,与之相邻的下一个同步头出现在数据块 4 中.如果采取每 32 bit 数据检测一次的话,会使得下次检测至少要跳过一个 32bit 数据块,这就需要十分复杂的控制信号,大大增加了帧同步检测的困难.

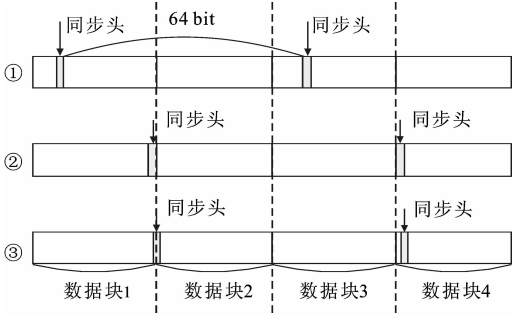


图 5 同步头位置

同步检测单元整体结构图如图 6 所示,包括同步标志产生模块、同步判定模块以及同步跟踪模块,采用并行检测 128 bit 接收数据块的形式,保证每次检测至少能检测出一个同步头,减少 32 bit 数据检测时采用控制信号的复杂程度.

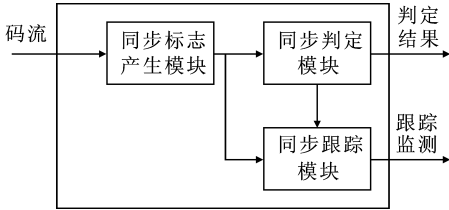


图 6 同步检测单元整体结构

3.1.1 同步标志产生

同步标志产生模块主要完成数据拼接和分组异或工作,基本结构如图 7 所示.该模块首先将输入的 $rx_d(n)$ 、 $rx_d(n+1)$ 、 $rx_d(n+2)$ 和 $rx_d(n+3)$ 4 个 32 bit 的数据拼接成 128 位,同时每次进行数据拼接时会对最后一个数据的第 0 位锁存.

由于接收到的同步头位置并不确定,如图 5 所

示,将锁存的上一个数据块的最低位 $rx_d(n-1)[0]$,与下一个数据块最高位 $rx_d(n)[31]$ 拼接,组合成一个 2 bit 数组.具体拼接规则如下所示,其中 $group0 \sim group127$ 为 128 个 2 bit 数组.分组完成后对数组 $group0 \sim group127$ 进行分别异或,得到 128 位的同步产生标志 flg .

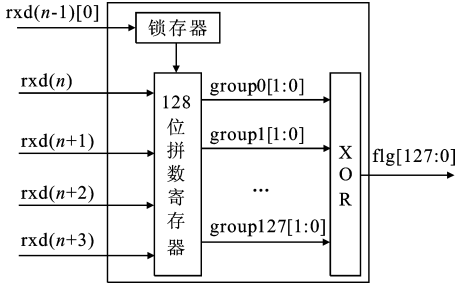


图 7 同步标志产生模块

$group0[1:0] = \{rx_d(n-1)[0], rx_d(n)[31]\};$
 $group1[1:0] = \{rx_d(n)[31], rx_d(n)[30]\};$
 $\dots$
 $group31[1:0] = \{rx_d(n)[1], rx_d(n)[0]\};$
 $group32[1:0] = \{rx_d(n)[0], rx_d(n+1)[31]\};$
 $group33[1:0] = \{rx_d(n+1)[31], rx_d(n+1)[30]\};$
 $\dots$
 $group127[1:0] = \{rx_d(n+3)[1], rx_d(n+3)[0]\};$

3.1.2 同步判定

同步判定模块主要完成同步锁定的判定工作,基本结构如图 8 所示.同步产生标志 flg 进入该模块后首先与之前移位锁存的检测标志位按位相与,经过多路开关得到 flg_r ,将其进行移位锁存后等待下一次同步产生标志 flg 的到来.每次进行与操作,计数器模块都会对此计数,与操作达到 32 次后,输出同步判定标志 flg_sh .在这里移位操作需要进行循环移位操作,每次操作需右移 4 位以实现与下一次同步判定标志的对齐.

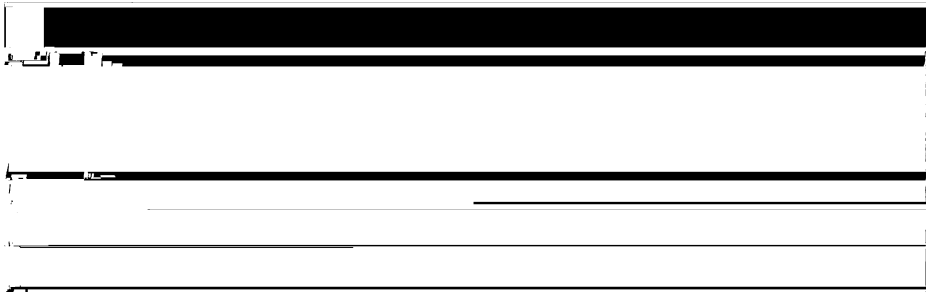


图 8 同步判定模块

接下来将同步判定标志在低位补 1 成 132 位存入寄存器,并将其拆分为两个 66 位的数据 sh_a 和 sh_b 送入与门后按位相与,操作结束后将与操作结果分别送入加法器和锁存器,进行进一步判别,分别得到同步锁定标志 sync_valid 和同步位置标志 sync_sh. 由于数据传输过程中的误操作和延迟, sync_sh 的 66 bit 中可能会出现多个 1,这里的加法器便是为了处理同步位置标志中出现多个 1 的问题. 加法器采用 2 级加法器的形式,利用两个时钟周期完成 66 bit 相加操作.

3.1.3 同步跟踪

同步跟踪模块主要完成同步锁定后的继续跟踪监测工作,基本结构如图 9 所示. 同步锁定成功后需要对后续数据流的同步情况进行跟踪监测,减少后续因同步头位置改变而带来的传输错误问题.

当同步锁定成功时,即同步锁定标志 sync_valid 为 1 时,将当前同步产生标志 flg 锁存,同时将同步判定标志 flg_sh 进行移位后与 flg 按位相与,与操作结束后得到 test,然后将 test 与 flg_sh_r 进行比较,若二者相等则同步跟踪监测标志 test_sh 置 1,否则置 0.

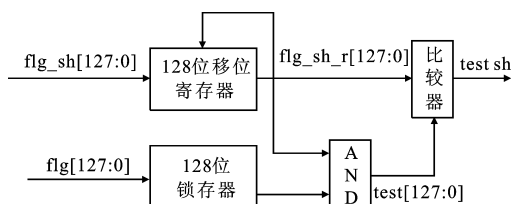


图 9 同步跟踪模块

同步检测单元设计的难点在于同步头横跨两个数据块以及同步检测标志位对齐实现,利用锁存器和移位寄存器可以比较方便的分别解决同步头介于两个数据块之间和标志位对齐的问题,同时数据拼接大大降低了控制信号的复杂程度.

3.2 计数器单元

计数器单元主要完成同步判定模块检测次数和同步跟踪模块同步失锁次数的计数工作,详细计数操作如下:

(1)检测次数(detect_cnt):完成图 8 中同步产生标志 flg 与 128 位锁存器值的与操作次数的计数工作,每进行一次与操作,检测次数加 1.

(2)同步失锁次数(lost_lock_cnt):完成图 9 中同步跟踪监测标志 test_sh 置 0 的次数的计数工作,每次 test_sh 置 0,同步失锁次数加 1.

3.3 同步检测状态机

同步状态控制单元采用状态机的方式实现控制逻辑,包括 RESET 状态、DETECT 状态、LOCK 状态和 LOST LOCK 状态 4 个状态,各状态迁移如图 10 所示.

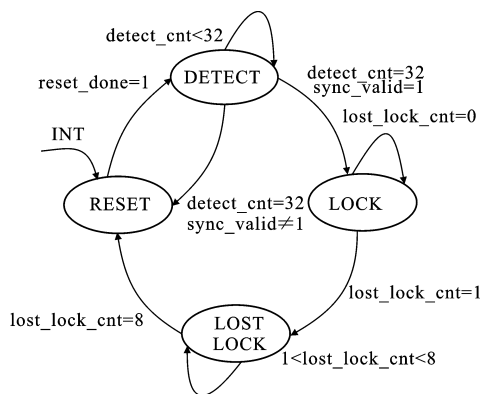


图 10 同步检测状态机

(1)RESET 状态:在接收到 INT 指令后,处于 RESET 状态,系统进行初始化,对同步检测单元、计数器单元以及输出处理单元进行全复位操作,复位完成后将完成标志位(reset_done)置 1 进入 DETECT 状态.

(2)DETECT 状态:在 DETECT 状态主要进行同步头锁定之前的预检测工作,判断 detect_cnt 及 sync_valid 的值. 若 detect_cnt < 32,则在 DETECT 状态继续进行预检测;若 detect_cnt = 32 且 sync_valid = 1,则跳转至 LOCK 状态;若 detect_cnt = 32 且 sync_valid ≠ 1,则跳转至 RESET 状态.

(3)LOCK 状态:在 LOCK 状态主要进行同步头锁定的跟踪监测工作,判断 lost_lock_cnt 的值. 当 lost_lock_cnt = 0 时,则在 LOCK 状态停留;若 lost_lock_cnt = 1,则跳转至 LOST LOCK 状态.

LOCK 状态只要同步锁定成功后出现一次未检测同步头的情况状态机会立即跳转至 LOST LOCK 状态.

(4)LOST LOCK 状态:在进入 LOST LOCK 状态后同样是进行同步锁定的跟踪监测工作,判断 lost_lock_cnt 的值,与 LOCK 状态不同的是该状态以出现一次同步失锁情况为基础. 当 1 < lost_lock_cnt < 8 时,在当前状态继续进行跟踪;当 lost_lock_cnt = 8 时,同步彻底失锁,跳转至 RESET 状态进行重新检测.

3.4 输出处理单元

输出处理单元由多路开关构成,通过选通操作,

根据状态控制单元同步检测状态机的变化情况,输出同步锁定成功标志位和同步头位置等信息至块同步,以便其根据同步头位置信息对当前数据流进行有效的截取组合。

4 仿真实证

本设计的验证主要针对并行帧同步检测模块所需要完成的工作,即同步锁定和同步跟踪两个方面进行仿真:

(1)同步锁定:由图 11 展示的仿真结果可知,在

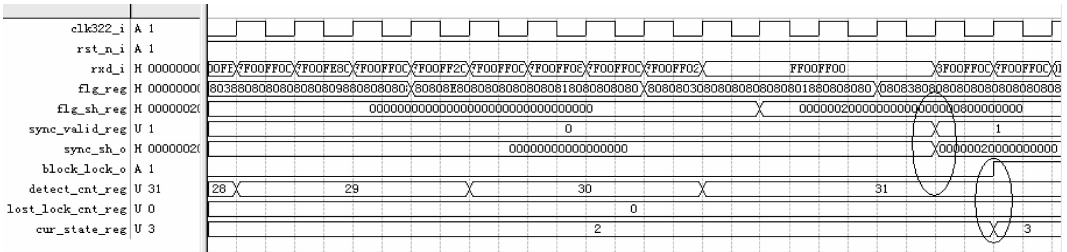


图 11 同步锁定

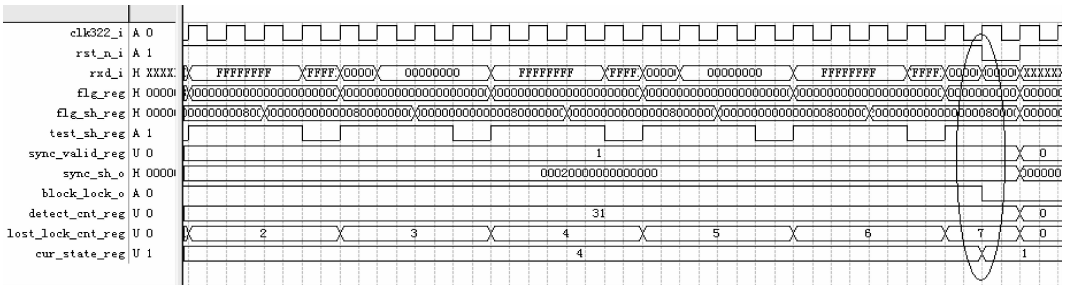


图 12 同步跟踪

根据图 11 和图 12 的仿真验证结果可知,设计的 PCS 子层并行帧同步检测模块,能够高效实现数据流的同步锁定和跟踪监测功能,满足 10 Gbps 速率 PCS 子层帧同步要求。

5 结束语

本文在研究 PCS 子层帧同步原理、常用帧同步方法等基础上,综合考虑面积开销和检测效率,提出了一种新型多异或门单状态机的并行检测方法,并设计了并行的帧同步检测模块,解决了传统帧同步方法固有的空间开销大和检测速率慢等困难。采用 ModelSim 对其进行仿真验证,结果表明,本设计实现的 10 Gbps 速率 PCS 子层并行帧同步检测模块,具有检测效率高、占用面积少等优点,能够满足 10 Gbps 速率以太网数据帧同步需求。该设计已经应用于基于光互连的时间触发以太网通信等项目中,为

检测次数达到 32 次且 sync_valid 为 1 后,同步成功锁定,同步锁定成功标志位(block_lock)置 1,同时同步检测状态机成功跳转至 LOCK 状态(3 状态)。

(2)同步跟踪. 由图 12 展示的仿真结果可知,在失锁次数达到 8 次后,彻底失同步,同步锁定成功标志位置 0,同步检测状态机由 LOST LOCK 状态(4 状态)跳转至 RESET 状态(1 状态),同时起复位信号,对各计数器以及其他状态信号进行全复位操作,重新进行帧同步检测。

今后更高速率(40 Gbps/100 Gbps)通信技术的实现提供了有力支撑。

参考文献:

[1] Proakisjg. 数字通信[M]. 张力军,译. 5 版. 北京:电子工业出版社,2012.

[2] IEEE LAN/MAN Standards Committee. NY 10016-5997. IEEE Std 802. 3-2012 Carrier sense multiple access with collision detection (CSMA/CD) access method and physical layer specifications[S]. New York:: IEEE, 2012.

[3] 张琴, 杨莹, 杨灿美, 等. 一种新的 10G BASE-R 物理编码子层的变速箱设计[J]. 微型机与应用, 2016, 35 (13): 31-33.

[4] 刘昭, 金德鹏, 曾烈光. 基于连续性判别的并行帧同步系统[J]. 电子学报, 2005, 33(7): 1177-1182.

从图 7 可以看出, WENA 为低有效, 对于存储器的 A 端口, 每一个时钟周期均在进行读写操作. 将该结构应用于芯片上其余 MBIST 中, 仿真波形图类似图 7, 流水寄存器达到了压缩测试周期, 减少测试时间的目的. 该 BIST 测试完成共需要 180 287 个时钟周期, 大约需要 1. 44 ms. 对此 $2\ 048\times 38$ 存储器的 MBIST, 按照图 1 的结构将流水寄存器去掉, 恢复到传统的测试结构. 将测试结果与全速的结果进行对比, 如表 1 所示.

表 1 传统测试和全速测试对比

	测试时钟周期	测试时间
传统测试	446 992	3. 58 ms
全速测试	180 287	1. 44 ms

从表中可以看出本文设计的流水寄存器结构在传统的 MBIST 测试基础上将读写周期进行了压缩, 将测试时间缩短了 59. 78%, 大幅提高了测试效率.

5 结束语

本文基于存储器内建自测试的基础, 在传统的测试结构中给数据路径上增加了三级流水寄存器结构, 在保证测试可靠性不变的情况下将原有的读写操作从 5 个时钟周期压缩到了 3 个时钟周期. 通过仿真验证, 该结构能够有效地降低测试时间, 节省测试成本, 在原有基础上进一步提高对待测存储器的测试覆盖性. 在未来, 随着嵌入式存储器的不断发展, 全速测试也必将得到更为广泛的应用.

参考文献:

[1] Magarshack P. Quality of SoC designs through quality of the design flow: status and needs[C]//Proc. 2nd International Symposium on Quality Electronic Design. Washington, DC CA: IEEE Comput. SoC. , 2001: 26-28.

[2] Grawal Vishwani D, Kime Charles R, Saluja Kewal K. A tutorial on built-in self-test, Part 2: applications [J]. IEEE Design & Test of Computer, 1993, 10(2): 69-77.

[3] Agrawal V D, Kime C R, Saluja K K. A tutorial on built-in-self-test applications [J]. Design & Test of Computers, IEEE, 1993, 10(2): 66-77.

[4] Acharya G P, Rani M A. Survey of test strategies for system-on chip and its embedded memory[C]// Proc. 2013 IEEE Recent Advances in Intelligent Computational System(RAICS). Trivandrum, India, Trivandrum: IEEE, 2013: 199-204.

[5] 徐金荣. 基于 BIST 的嵌入式存储器可测性设计研究[D]. 北京: 北京交通大学, 2008: 20-23.

作者简介:

张立博 男, (1990-), 硕士研究生. 研究方向为集成电路可测性设计. E-mail: 88273465@qq. com.

唐 威 男, (1974-), 博士, 研究员. 研究方向为集成电路设计.

颜 伟 男, (1985-), 硕士, 工程师. 研究方向为集成电路可测性设计.

李俊玲 女, (1977-), 硕士, 高级工程师. 研究方向为集成电路可测性设计.

(上接第 42 页)

[5] 高妍, 哈斯巴特. 高速传输系统帧同步模块设计及 FPGA 实现[J]. 军事通信技术, 2016, 37(2): 77-80.

[6] 马钰, 张立民, 王好同. 编码加扰序列的帧同步盲识别[J]. 电子学报, 2016, 44(9): 2087-2092.

[7] 崔涛, 呼延娘, 周焱, 等. 基于 FPGA 的 SDH 系统帧同步的研究与实现[J]. 空间电子技术, 2015, 32(1): 89-92.

作者简介:

邢宗岐 男, (1990-), 硕士研究生. 研究方向为计算机控制技术. Email: xingzongqi771@126. com.

贺占庄 男, (1962-), 博士, 研究员, 博士生导师. 研究方向为计算机系统结构、SoC 和 IP 核设计.

徐丹妮 女, (1989-), 硕士, 工程师. 研究方向为计算机系统结构.

哈云雪 女, (1988-), 硕士, 工程师. 研究方向为计算机系统结构.